



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Atty. Docket: 02-AG-148
Rino MICHELONI et al. : Group Art Unit: 2818
Serial No. 10/729,875 : Confirmation No. 8484
Filed: December 5, 2003 :

For: *METHOD AND DEVICE FOR PROGRAMMING AN ELECTRICALLY
PROGRAMMABLE NON-VOLATILE SEMICONDUCTOR MEMORY*

CLAIM FOR PRIORITY UNDER 35 USC §119

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SIR:

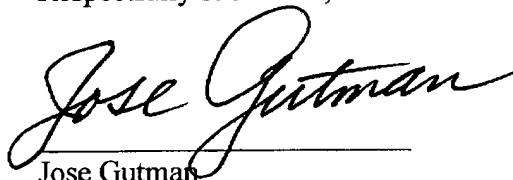
Under the provisions of 35 USC §119, there is filed herewith a certified copy of Italian Application No. MI2002A002569 filed on December 5, 2002, in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748, under which Applicants hereby claim priority.

Respectfully submitted,

Date:

5/14/04

By:



Jose Gutman
Reg. No. 35,171

Customer No. 23334
Fleit, Kain, Gibbons, Gutman, Bongini & Bianco P.L.
551 NW 77th Street, Suite 111
Boca Raton, Florida 33487
Telephone: (561) 989-9811
Facsimile: (561) 989-9812



Ministero delle Attività Produttive
Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per:

Invenzione Industriale

N.

MI2002 A 002569



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

13 GEN. 2004

Roma, li

IL DIRIGENTE

Ing. DI CARLO

5



AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

MODULO A

A. RICHIEDENTE (I)

N.G.

1) Denominazione SIMicroelectronics S.r.l. SR
 Residenza AGRATE BRIANZA (MI) codice 00.95.19.00.96.8
 2) Denominazione _____
 Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome MACCALLI MARCO ED ALTRI cod. fiscale _____
 denominazione studio di appartenenza MACCALLI & PEZZOLI S.r.l.
 via Settembrini n. 40 città MILANO cap 20124 (prov) MI

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____

D. TITOLO

classe proposta (sez/cl/sci) _____ gruppo/sottogruppo _____

"Metodo di programmazione di una memoria a semiconduttore non-volatile programmabile elettricamente"

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI ☐ NO ☒

SE ISTANZA: DATA _____

N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) MICHELONI Rino 3) SCOMEGNA Salvatrice
 2) RAVASIO Roberto 4) _____

F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato
S/R

1) _____
 2) _____

SCIOGLIMENTO RISERVE

Data N° Protocollo

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICROORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 48 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare).....
 Doc. 2) 2 PROV n. tav. 07 disegno (obbligatorio se citato in descrizione, 1 esemplare).....
 Doc. 3) 1 RIS lettera d'incarico, procura o riferimento procura generale, dich. sostitutiva
 Doc. 4) 1 RIS designazione inventore
 Doc. 5) 1 RIS documenti di priorità con traduzione in italiano
 Doc. 6) 1 RIS autorizzazione o atto di cessione
 Doc. 7) 1 nominativo completo del richiedente

8) attestati di versamento, totale Euro QUATTROCENTOSETTANTADUE/56

obbligatorio

COMPILATO IL 05/12/2002

FIRMA DEL(I) RICHIEDENTE(I)

MARCO MACCALLICONTINUA SI/NO NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO SICAMERA DI COMMERCIO IND. ART. E AGR. DI MILANO

MILANO

15
codice 15VERBALE DI DEPOSITO NUMERO DI DOMANDA MI2002A 002569

Reg. A.

L'anno DUEMILADUE

CINQUE

DICEMBRE

il(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda, rogata di _____
 fogli aggiuntivi per la concessione del brevetto sopraindicato.

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

L'UFFICIALE ROGANTE
M. SORTONESI

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA MI2002A 002569

REG. A

DATA DI DEPOSITO 05/12/2002

NUMERO BREVETTO

DATA DI RILASCIO

D. TITOLO

"Metodo di programmazione di una memoria a semiconduttore non-volatile programmabile elettricamente"

L. RIASSUNTO

Un metodo di programmazione di una memoria programmabile elettricamente comprende: accedere un gruppo di celle di memoria (MC1-MCk) della memoria per accertare un loro stato di programmazione (401,407;503,509a,513a); applicare un impulso di programmazione a quelle celle di memoria nel gruppo il cui stato di programmazione non è accertato corrispondere allo stato di programmazione desiderato (405;507a,509c,513c); e ripetere detti atti di accedere ed applicare per le celle di memoria nel gruppo il cui stato di programmazione non è accertato (411;509b,513b). Dopo che lo stato di programmazione di un numero prescritto di celle di memoria nel gruppo è stato accertato, le celle di memoria nel gruppo sono accedute di nuovo e lo stato di programmazione delle celle di memoria il cui stato di programmazione è stato in precedenza accertato viene ri-accertato (413,415;515); almeno un impulso di programmazione supplementare è applicato a quelle celle di memoria nel gruppo il cui stato di programmazione non è ri-accertato (405;507a,509c,513c). Il metodo garantisce che lo stato di programmazione delle celle di memoria sia accertato in condizioni molto vicine, o sostanzialmente identiche, alle condizioni in cui le celle di memoria saranno accedute in una lettura standard.

M. DISEGNO

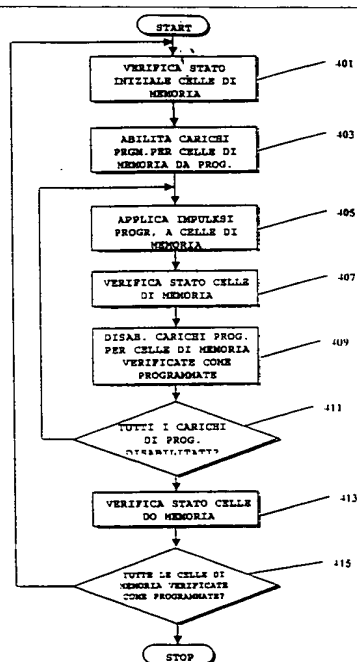


FIG. 4A



Ing. Marco MACCALLI**N. Iscriz. 826****(in proprio e per gli altri)**DESCRIZIONE

dell'invenzione industriale dal titolo:

"METODO DI PROGRAMMAZIONE DI UNA MEMORIA A SEMICONDUTTORE**NON-VOLATILE PROGRAMMABILE ELETTRICAMENTE"**

5 A nome: STMicroelectronics S.r.l.

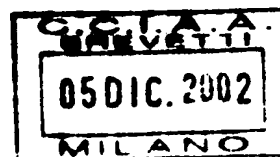
MI 2002 A 0 0 2 5 6 9

* * * * *

La presente invenzione si riferisce in generale al settore delle memorie a semiconduttore, e particolarmente a memorie non-volatili programmabili elettricamente come, per esempio, le EPROM, le EEPROM e le memorie Flash. Specificamente, l'invenzione concerne un metodo di programmazione di una memoria non-volatile programmabile elettricamente.

Le memorie a semiconduttore non-volatili programmabili elettricamente hanno celle di memoria formate da transistor MOS la cui tensione di soglia può essere variata elettricamente per immagazzinare le informazioni desiderate.

Il numero di diversi valori che la tensione di soglia di una cella di memoria può assumere dipende dal numero di bit che la cella di memoria è destinata ad immagazzinare. Per esempio, in memorie bilivello, che hanno celle di memoria destinate ad immagazzinare solamente un bit ciascuna, la tensione di soglia di ciascuna cella di memoria può assumere uno di due diversi



Ing. Marco MACCALLI
N. Isoriz. 826
(in proprio e per gli altri)

valori, associati ai due stati logici binari opposti ("1" e "0"). Nelle memorie multilivello, le cui celle di memoria sono destinate ad immagazzinare più di un bit, il numero di diversi valori di tensione di soglia è pari a 2^n , dove n identifica il numero di bit immagazzinati in ciascuna cella di memoria. Sono anche note memorie multilivello in cui n bit sono immagazzinati in k celle di memoria, dove $k < n$ e n/k è un numero non intero; in questo caso, il numero di diversi valori che la tensione di soglia della cella di memoria può assumere è maggiore di due, ma non uguale ad una potenza di due.

Programmare una cella di memoria significa portare la tensione di soglia della cella di memoria al valore desiderato a partire da una condizione di cella di memoria cancellata nella quale il valore della tensione di soglia è uguale o minore del più basso dei valori prescritti. Tipicamente, per aumentare la tensione di soglia della cella di memoria, elettroni sono iniettati in un gate flottante della cella di memoria, ad esempio di polisilicio, o in un elemento di intrappolamento di carica della cella di memoria (tipicamente uno strato di nitruro di silicio); la carica presente nel gate flottante o nell'elemento di intrappolamento di carica influenza la formazione di un canale conduttivo quando ad un gate di controllo della cella di memoria è applicata

Ing. Marco MACCALLI
N. Iscriz 826
(in proprio e per gli altri)

una tensione di gate.

Gli elettroni sono ad esempio iniettati nel gate flottante o nell'elemento di intrappolamento di carica mediante il meccanismo di iniezione di elettroni caldi dal canale, che è innescato applicando opportune tensioni
5 di programmazione ai terminali della cella di memoria.

I dati immagazzinati nella cella di memoria sono recuperati accedendo la cella di memoria in condizioni di lettura. Prescritte tensioni di lettura sono applicate ai
10 terminali della cella di memoria, e viene rilevata la corrente assorbita dalla cella di memoria. Maggiore è la tensione di soglia della cella di memoria, minore è la corrente assorbita dalla cella di memoria. I dati immagazzinati nella cella di memoria sono così
15 determinati confrontando la corrente rilevata con una corrente di riferimento prescritta (o una pluralità di correnti di riferimento nel caso di una memoria multilivello).

I tradizionali algoritmi di programmazione prevedono
20 di applicare alla cella di memoria una sequenza di impulsi di programmazione, ciascun impulso di programmazione prevedendo di applicare ai terminali della cella di memoria le appropriate tensioni di programmazione per un tempo prescritto, relativamente
25 breve. Ciascun impulso di programmazione determina un

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

lieve aumento nella tensione di soglia della cella di memoria. Dopo ciascun impulso programmazione, la tensione di soglia della cella di memoria viene controllata (verificata) per accertare se la cella di memoria è stata programmata (fase di verifica della programmazione). Per verificare il valore della tensione di soglia, la cella di memoria è acceduta in lettura. Tipicamente, nella fase di verifica della programmazione le condizioni in cui lo stato di programmazione della cella di memoria è accertato sono rese intenzionalmente più critiche rispetto all'accesso in lettura standard alla cella di memoria. Ciò vuol dire che una cella di memoria che sarebbe rilevata come programmata in condizioni di lettura standard può essere rilevata come non programmata nelle condizioni di verifica della programmazione, se la tensione di soglia della cella di memoria non è adeguatamente elevata. Ciò assicura che la cella di memoria venga programmata con un margine prescritto.

La Richiedente ha osservato che in memorie programmabili elettricamente vi sono fattori che fanno sì che le reali condizioni in cui una cella di memoria programmata è normalmente letta si discostino a tal punto dalle condizioni di verifica della programmazione che la cella di memoria programmata può essere letta come non programmata anche se essa ha superato la prova di



N. Isotiz. 826
(in proprio e per gli altri)

verifica della programma durante la fase di programmazione.

Questi fattori includono per esempio resistenze parassite delle linee di tensione di alimentazione e delle linee di segnale, come la resistenza di source della cella di memoria, ovverosia la resistenza inevitabilmente presente in serie all'elettrodo di source della cella di memoria. Molti contributi si sommano a dare la resistenza di source, come la resistenza delle diffusioni, la resistenza delle linee metalliche e la resistenza dei contatti, solo per citarne alcuni. Un altro contributo significativo alla resistenza di source è peculiare delle memorie Flash. Le memorie Flash sono oggi costituite da diversi settori di memoria, ognuno dei quali può essere cancellato globalmente in modo indipendente dagli altri settori. Una tecnica comune per conseguire questa selettività di cancellazione prevede di separare le linee di source dei settori, ovverosia le linee che portano il potenziale di source alle celle di memoria nei settori. In questo modo, il potenziale di source di cancellazione (tipicamente, un potenziale positivo relativamente elevato) può essere selettivamente applicato solamente alle celle di memoria che appartengono ad un settore desiderato. Elementi di selezione di linea di source, tipicamente transistor di

trasferimento, devono essere posti in serie alle linee di source dei settori; questi elementi di selezione di linea di source contribuiscono in modo significativo alla resistenza di source complessiva.

5 La resistenza di source introduce una caduta di tensione che dipende dalla corrente che fluisce attraverso di essa. Un contributo significativo a tale caduta di tensione è in particolare dato dagli elementi di selezione di linea di source dei settori, nonostante
10 essi siano normalmente disegnati per essere piuttosto conduttivi. All'interno di ciascun settore di memoria, le celle di memoria sono normalmente accedute simultaneamente per gruppi, anche chiamati pagine, di, ad esempio, sedici, trentadue o anche sessantaquattro celle
15 di memoria. Quando una cella di memoria che è stata sottoposta ad un impulso di programmazione viene verificata, tutte le celle di memoria che appartengono alla stessa pagina sono in realtà accedute: la corrente che fluisce attraverso la rispettiva linea di source, e
20 quindi attraverso la resistenza parassita della linea di source, dipende non solo dallo stato di programmazione della cella di memoria ispezionata, ma anche dallo stato di programmazione delle altre celle di memoria della stessa pagina. Se queste altre celle di memoria non
25 cambiano stato di programmazione tra la fase di verifica

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

della programmazione della cella ispezionata e l'accesso in lettura standard alla stessa, non sorgono problemi: le condizioni in cui la cella è acceduta in lettura standard sono sostanzialmente le stesse in cui la cella è stata verificata come programmata; al contrario, se una o più delle altre celle di memoria della pagina modificano il loro stato di programmazione dopo che la cella di memoria considerata è stata verificata come programmata, per esempio perché quando la cella di memoria viene verificata le altre celle di memoria non sono ancora programmate e necessitano di ulteriori impulsi di programmazione, oppure perché esse sono programmate in una fase di programmazione successiva, la diversa (minore) caduta di tensione sulla resistenza parassita della linea di source, a causa della diversa (minore) corrente che in essa fluisce, modifica (aumenta) la tensione di pilotaggio gate-source sperimentata dalla cella di memoria considerata, che può così essere letta come non programmata.

Considerazioni simili si applicano alle altre resistenze parassite, come per esempio quelle associate alle linee di alimentazione di tensione per i circuiti di lettura.

La Richiedente ha osservato che questo problema affligge sia le memorie bilivello che quelle

Ing. Marco MACCALLI
N. Iscriz. 826
(in proprio e per gli altri)

multilivello, ma nel secondo caso esso è particolarmente
sentito, poiché i valori di tensione di soglia associati
ai diversi stati logici binari sono relativamente vicini
fra loro. Una differenza relativamente lieve nelle
5 condizioni di lettura della cella di memoria, ad esempio
una tensione di pilotaggio gate-source lievemente più
alta, può provocare errori nello stato di programmazione
rilevato.

È stato perciò uno scopo della presente invenzione
10 quello di fornire un nuovo metodo di programmazione che
permettesse di superare il problema sopra discusso.

In accordo con un aspetto della presente invenzione,
questo ed altri scopi sono stati raggiunti mediante un
metodo di programmazione come definito nell'annessa
15 rivendicazione 1.

Detto in breve, il metodo comprende:

accedere un gruppo di celle di memoria della memoria
per accertare un loro stato di programmazione;

applicare un impulso di programmazione a quelle
20 celle di memoria nel gruppo il cui stato di
programmazione non è accertato corrispondere ad uno stato
di programmazione desiderato; e

ripetere dette azioni di accedere ed applicare per
le celle di memoria nel gruppo il cui stato di
25 programmazione non è accertato corrispondere ad uno stato



Ing. Marco MACCALLI**N. Iseniz 826**

di programmazione desiderato.

(in proprio e per gli altri)

Dopo che lo stato di programmazione di un numero prescritto di celle di memoria nel gruppo è stato accertato corrispondere ad uno stato di programmazione desiderato, le celle di memoria nel gruppo sono nuovamente accedute, e viene ri-accertato lo stato di programmazione delle celle di memoria il cui stato di programmazione è stato in precedenza accertato corrispondere ad uno stato di programmazione desiderato.

Alle celle di memoria nel gruppo il cui stato di programmazione non è ri-accertato corrispondere ad uno stato di programmazione desiderato viene applicato almeno un impulso di programmazione supplementare.

Le caratteristiche ed i vantaggi della presente invenzione saranno resi evidenti dalla seguente descrizione particolareggiata di una sua forma di realizzazione, fornita soltanto a titolo di esempio non limitativo, che sarà fatta in combinazione coi disegni annessi, nei quali:

FIG. 1 mostra schematicamente una memoria non-volatile programmabile elettricamente, in termini dei principali blocchi funzionali;

FIG. 2A mostra schematicamente in maggior dettaglio un settore di memoria della memoria di FIG. 1, e l'associato circuito di carico di programmazione, in una

configurazione circuitale per un'operazione di
programmazione;

FIG. 2B mostra schematicamente un circuito di
controllo del carico di programmazione per controllare il
5 circuito di carico di programmazione;

FIG. 3 mostra schematicamente il settore di memoria
della memoria, in una configurazione circuitale per
un'operazione di lettura;

FIG. 4A è un diagramma di flusso che mostra
10 schematicamente le fasi principali di un metodo di
programmazione secondo una forma di realizzazione della
presente invenzione;

FIG. 4B è un diagramma che mostra la relazione tra
correnti di cella di memoria, correnti di riferimento per
15 la lettura standard e correnti di riferimento per la
lettura di verifica della programmazione, nel semplice
caso di una memoria bilivello;

FIG. 5 è un diagramma di flusso che mostra
schematicamente in maggior dettaglio le fasi principali
20 di un metodo di programmazione secondo una forma di
realizzazione della presente invenzione, particolarmente
adattato ad una memoria multilivello e ancor più
particolarmente ad una memoria a quattro livelli;

FIG. 6 è un diagramma che mostra la relazione tra le
25 correnti di cella di memoria, le correnti di riferimento

per la lettura standard e le correnti di riferimento per la lettura di verifica della programmazione, nel caso di una memoria a quattro livelli;

FIG. 7 è un diagramma che mostra tensioni di gate di controllo delle celle di memoria usate nel metodo di programmazione di FIG. 5; e

FIG. 8 mostra schematicamente una disposizione circuitale per implementare un metodo di programmazione secondo una forma di realizzazione alternativa della presente invenzione.

Con riferimento ai disegni, e particolarmente a FIG. 1, è mostrata schematicamente, in termini dei principali blocchi funzionali, una memoria a semiconduttore non-volatile programmabile elettricamente. In particolare, nella forma di realizzazione esemplificativa e non limitativa dell'invenzione qui discussa, la memoria, globalmente identificata con 101, è una memoria Flash.

La memoria 101 comprende una pluralità di settori di memoria 103a, ..., 103q. Ciascun settore di memoria include una disposizione bidimensionale di celle di memoria MC, convenzionalmente disposte per righe (linee di parola) e colonne (linee di bit). Le celle di memoria MC sono per esempio transistor MOS a gate flottante, essendo inteso che qualsiasi altra struttura di cella di memoria non-volatile elettricamente programmabile può

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

essere utilizzata. Il numero di settori di memoria, il numero di celle di memoria in ciascun settore di memoria, il numero di righe e colonne in cui le celle di memoria in ciascun settore sono disposte dipende da molti
5 fattori, come la dimensione complessiva della memoria e l'applicazione per cui la memoria è progettata; in ogni caso, questi parametri non sono critici per la presente invenzione.

I settori di memoria 103a,..., 103q comprendono
10 convenzionali circuiti di selezione di riga e di colonna (nel prosieguo chiamati selettore di linea di parola e selettore di linea di bit, rispettivamente), non mostrati in dettaglio in FIG. 1 per chiarezza del disegno, per selezionare le righe e le colonne dei settori di memoria.

15 Le celle di memoria MC possono essere destinate ad immagazzinare un bit (memoria bilivello) o più bit (memoria multilivello); nel primo caso, la tensione di soglia della cella di memoria può assumere uno di due diversi valori, il valore più basso essendo
20 convenzionalmente associato allo stato logico "1", e il valore più alto essendo associato allo stato "0". Nel caso di una memoria multilivello, la tensione di soglia della cella di memoria può assumere uno qualunque di una pluralità di diversi valori, ad esempio, quattro diversi
25 valori per celle di memoria in grado di immagazzinare due



Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

bit ciascuna; il primo valore, più basso, è convenzionalmente associato allo stato "11", il secondo valore è associato allo stato "10", il terzo valore è associato allo stato "01" ed il valore più elevato è associato allo stato "00". Convenzioni opposte possono chiaramente essere adottate. Più in generale, in una memoria multilivello il numero di diversi valori che la tensione di soglia della cella di memoria può assumere può essere pari ad una potenza di due, nel qual caso la cella di memoria immagazzina n bit, oppure il numero di diversi valori può essere un qualsiasi numero intero diverso da una potenza di due, nel qual caso n bit sono immagazzinati in un gruppo di k celle di memoria, con $k < n$.

Ciascun settore di memoria 103a,..., 103q ha una linea di source indipendente SLa,..., SLq, che fornisce un potenziale di source alle celle di memoria MC di quel settore di memoria. Selettori di linea di source 105a1, 105a2,..., 105q1, 105q2 sono associati a ciascuna linea di source SLa,..., SLq. I selettori di linea di source, nella forma di realizzazione esemplificativa mostrata formati da transistor di trasferimento, ad esempio MOSFET a canale N, sono controllati da un circuito di selezione di settore per la cancellazione 107, che permette di collegare selettivamente le linee di source SLa,..., SLq

Ing. Marco MACCALLI**N. Iscriz. 826****(in proprio e per gli altri)**

dei settori di memoria ad una prima linea di source comune SL1, connessa ad una tensione di riferimento GND (terra), o ad una seconda linea di source comune SL2, connessa ad un'uscita di una pompa di carica che genera una tensione di source di cancellazione Ves, per esempio una tensione positiva relativamente elevata. Un circuito di controllo della memoria 119 controlla il circuito di selezione di settore per la cancellazione 107 che, in funzione dell'operazione da eseguire, accende o spegne in modo selettivo i selettori di linea di source 105a1, 105a2, ..., 105q1, 105q2, in modo da collegare le linee di source SLa, ..., SLq alle linee di source comune SL1 o SL2. In particolare, quando un dato settore di memoria è acceduto in lettura o in programmazione, tutte le linee di source di settore SLa, ..., SLq sono collegate alla linea di source comune SL1, e quindi poste a terra; al contrario, quando un dato settore di memoria è acceduto in cancellazione, la linea di source di settore è collegata alla linea di source comune SL2, e quindi alla tensione di source di cancellazione, mentre tutte le rimanenti linee di source di settore sono collegate alla linea di source comune SL1, e quindi poste a terra.

Associati ai settori di memoria 103a, ..., 103q vi sono un circuito di carico di programmazione 111, un circuito amplificatore di lettura 113 ed un insieme 115

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

di celle di memoria di riferimento RMC. Una convenzionale circuiteria di decodifica e selezione di settore 116 permette di collegare il circuito di carico di programmazione e/o il circuito amplificatore di lettura, 5 in funzione dell'operazione da eseguire, al settore di memoria selezionato. Le celle di memoria di riferimento RMC sono strutturalmente identiche alle celle di memoria MC, e sono programmate in uno stato o in stati prestabiliti. Le celle di memoria di riferimento RMC 10 generano una o più correnti di riferimento, sfruttate dal circuito amplificatore di lettura 113 per discriminare uno stato di programmazione di una cella di memoria in lettura. L'insieme 115 di celle di memoria di riferimento RMC può includere una piccola disposizione di celle di 15 memoria strutturalmente identiche alle celle di memoria MC, entro la quale alcune celle di memoria sono programmate in stati prescritti e si comportano come celle di memoria di riferimento RMC; in particolare, nel caso esemplificativo di una memoria a quattro livelli, 20 tre celle di memoria di riferimento sono necessarie per l'operazione di lettura standard, tre celle di memoria di riferimento sono necessarie per l'operazione di verifica della programmazione, ed una cella di memoria di riferimento è necessaria per l'operazione di verifica 25 della cancellazione. Per ragioni di accoppiamento

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

elettrico, un elemento 105d che emula i selettori di linea di source 105a1, 105a2, ..., 105q1, 105q2 è previsto lungo una linea di source SLd delle celle di memoria di riferimento.

5 Le linee di bit selezionate dal circuito di selezione di colonna del settore di memoria selezionato possono essere selettivamente connesse al circuito di carico di programmazione 111 o al circuito amplificatore di lettura 113, in funzione dell'operazione da eseguire
10 (lettura o programmazione). In particolare, mezzi interruttori 117, controllati dal circuito di controllo della memoria 119, permettono di collegare le colonne di celle di memoria selezionate al circuito di carico di programmazione 111 quando le celle di memoria che
15 appartengono alle linee di bit selezionate devono essere programmate, ed al circuito amplificatore di lettura 113 quando le celle di memoria che appartengono alle linee di bit selezionate devono essere lette, vuoi per condurre una lettura standard o una lettura di verifica della
20 programmazione.

Il circuito di carico di programmazione 111 riceve segnali di controllo dal circuito di controllo della memoria 119. In particolare, il circuito di carico di programmazione 111 riceve dal circuito di controllo della
25 memoria 119 un segnale di controllo SET-PL che



Ing. Marco MACCALI
N. Iscriz. 826
(in proprio e per gli altri)

asserito, fa sì che il circuito di carico di
programmazione 111 colleghi tutte le linee di bit
selezionate del settore di memoria selezionato all'uscita
di un regolatore di tensione (non mostrato) che fornisce
5 una tensione di programmazione VPD (FIG. 2A) per gli
elettrodi di drain delle celle di memoria. Il circuito di
carico di programmazione 111 riceve anche una parola dati
DATA da scrivere in celle di memoria selezionate del
settore di memoria selezionato. La parola dati DATA
10 definisce una maschera o schema di scrittura per le celle
di memoria selezionate.

Un circuito comparatore 121 riceve e confronta la
parola dati DATA con una uscita del circuito
amplificatore di lettura 113 che reca dati letti dalle
15 celle di memoria selezionate del settore di memoria
selezionato durante un accesso in lettura per la verifica
della programmazione. Il circuito comparatore 121 genera
una pluralità di segnali, globalmente indicati in FIG. 1
con RST-PL, che, in funzione dell'esito del confronto,
20 sono selettivamente asseriti per far sì che il circuito
di carico di programmazione 111 scolleghi selettivamente
alcune o tutte delle linee di bit selezionate del settore
di memoria selezionato dall'uscita del regolatore di
tensione di drain di programmazione, come sarà meglio
25 descritto più oltre.

Ing. Marco MACCALLI
N. Iscriz. 826
(in proprio e per gli altri)

Il circuito di controllo della memoria 119 può per esempio essere implementato mediante una macchina a stati.

In FIG. 1 sono anche mostrati, in termini di
5 elementi circuitali concentrati, alcuni dei componenti parassiti presenti nel circuito, almeno alcuni dei quali sono responsabili del problema discusso nella parte introduttiva di questa descrizione. In particolare, elementi circuitali concentrati R_{SLa1} , R_{SLa2} , ..., R_{SLq1} , R_{SLq2}
10 rappresentano resistenze parassite associate alle linee di source di settore SLa , ..., SLq ; elementi circuitali concentrati R_{SL1} e R_{SL2} rappresentano resistenze parassite associate alle linee di source comune $SL1$ e $SL2$, rispettivamente. Elementi circuitali concentrati R_{SLd1} e
15 R_{SLd2} lungo la linea di source SLd delle celle di memoria di riferimento rappresentano resistenze parassite corrispondenti ad esempio a quelle rappresentate dagli elementi circuitali concentrati R_{SLa1} e R_{SL1} . Elementi circuitali concentrati R_{SA1} e R_{SA2} rappresentano resistenze
20 parassite associate ad una linea di tensione di alimentazione e ad una linea di tensione di riferimento dell'amplificatore di lettura, rispettivamente.

Passando ora a FIG. 2A, vi è mostrata schematicamente in maggior dettaglio la struttura di uno
25 dei settori di memoria della memoria, vale a dire il

settore di memoria 103a, con i rispettivi selettore di
linea di parola 201 e selettore di linea di bit 203. In
particolare, FIG. 2A mostra la configurazione circuitale
nel caso di un'operazione di programmazione. Il selettore
5 di linea di parola 201 permette di selezionare una della
pluralità di linee di parola WL1, WL2... della disposizione
di celle di memoria del settore di memoria 103a.
Convenzionalmente, la selezione della linea di parola è
effettuata decodificando un indirizzo di memoria (non
10 mostrato). Il potenziale della linea di parola
selezionata, per esempio la linea di parola WL1, è
portato ad un valore prescritto (tensione di lettura di
linea di parola o tensione di programmazione di linea di
parola), in funzione dell'operazione da eseguire sulle
15 celle di memoria di quella linea di parola; il potenziale
delle linee di parola non selezionate è tipicamente
tenuto alla tensione di riferimento GND. Anche il
selettore di linea di bit 203 effettua una decodifica
dell'indirizzo di memoria e permette di selezionare un
20 gruppo o pacchetto di linee di bit (nell'esempio
mostrato, il pacchetto di linee di bit BL1 - BLk) fra la
pluralità di linee di bit BL1 - BL(k+1),... della
disposizione di celle di memoria. Un pacchetto di linee
di bit può per esempio includere sedici, trentadue o
25 anche sessantaquattro linee di bit, o più. Le linee di

Ing. Marco MACCALLI

N. Iscriz. 828

(in proprio e per gli altri)

bit di un stesso pacchetto non devono necessariamente essere linee di bit fisicamente adiacenti nella disposizione di celle di memoria del settore di memoria: per esempio, le linee di bit di uno stesso pacchetto
5 possono essere una ogni otto o sedici linee di bit della disposizione di celle di memoria. Le linee di bit selezionate sono connesse al circuito di carico di programmazione 111, mentre le linee di bit non selezionate sono lasciate sconnesse (flottanti);
10 alternativamente, le linee di bit non selezionate sono tenute a terra.

FIG. 2A mostra anche schematicamente ma in maggior dettaglio che FIG. 1 il circuito di carico di programmazione 111. Il circuito comprende un ramo di
15 circuito di carico di programmazione per ciascuna linea di bit di un pacchetto di linee di bit selezionato. Un generico ramo di circuito di carico di programmazione comprende un interruttore 207, per esempio un MOSFET. L'interruttore 207 è connesso in serie tra una linea
20 tensione di programmazione di linea di bit VPD, generata ad esempio da un regolatore di tensione, e la rispettiva linea di bit del pacchetto selezionato. Un circuito di controllo del carico di programmazione 209 riceve i segnali di controllo SET-PL, RST-PL e la maschera di
25 scrittura DATA, e controlla di conseguenza già



Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

interruttori 207 dei rami di circuito di carico di programmazione.

FIG. 2B mostra la struttura del circuito di controllo del carico di programmazione 209 secondo una
5 forma di realizzazione della presente invenzione. Ciascun interruttore 207 è controllato indipendentemente da un rispettivo circuito di controllo (solamente due dei circuiti di controllo di interruttore sono mostrati in FIG. 2B, per semplicità), nell'esempio mostrato
10 comprendente un flip-flop 211-1,..., 211-k. Ciascun flip-flop 211-1,..., 211-k riceve i segnali di controllo SET-PL dal circuito di controllo della memoria 119, ed un rispettivo segnale di controllo RST-PL[1],..., RST-PL[k] facente parte dei segnali di controllo RST-PL generati
15 dal circuito comparatore 121. Lo stato asserito/deasserito di uno generico dei segnali RST-PL[1],..., RST-PL[k] dipende dal risultato del confronto, effettuato dal circuito comparatore 121, tra il bit (o gruppo di bit, nel caso di una memoria multilivello)
20 corrispondente DATA[1],..., DATA[k] della parola dati DATA da scrivere nelle celle di memoria selezionate, e il bit (o gruppo di bit, nel caso di una memoria multilivello) di dati letto dal circuito amplificatore di lettura dalla cella di memoria corrispondente durante la fase di
25 verifica della programmazione. In particolare, il segnale

Ing. Marco MACCALI

N. Iscriz. 826

(in proprio e per gli altri)

di controllo SET-PL è fornito ad un ingresso di impostazione S di tutti i flip-flop 211-1, ..., 211-k; il segnale di controllo RST-PL[1], ..., RST-PL[k] è fornito ad un ingresso di azzeramento R del rispettivo flip-flop 211-1, ..., 211-k. Un'uscita Q di ciascun flip-flop 211-1, ..., 211-k, che è asserita (stato logico "1") quando il flip-flop è nello stato impostato e deasserita (stato logico "0") quando il flip-flop è nello stato azzerato, controlla lo stato di apertura/chiusura dell'interruttore 207 del ramo di circuito di carico di programmazione associato. Quando un generico flip-flop 211-1, ..., 211-k è nello stato impostato, l'interruttore 207 del ramo di circuito di carico di programmazione associato è chiuso e si stabilisce un percorso conduttivo tra linea di alimentazione della tensione di programmazione di linea di bit VPD e la linea di bit corrispondente del pacchetto selezionato; in questa condizione, le celle di memoria di quella linea di bit ricevono sui loro terminali di drain la tensione di programmazione. Se un flip-flop è nello stato azzerato, l'interruttore 207 associato è aperto, e la linea di bit corrispondente è lasciata flottante (alternativamente, la linea di bit può essere messa a terra); le celle di memoria della linea di bit non ricevono sul loro terminale di drain la tensione di programmazione. Lo stato dell'interruttore 207 nel

Ing. Marco MACCALLI
N. Iscriz. 826
(in proprie e per gli altri)

generico ramo di circuito di carico di programmazione è quindi immagazzinato nel flip-flop 211-1,..., 211-k associato.

L'uscita di ciascun flip-flop 211-1,..., 211-k è
5 inoltre fornita ad una rispettiva porta OR 213-1,..., 213-k, unitamente ad un'uscita di una associata porta NOR 219-1,..., 219-k alimentata da una rispettiva porzione (comprendente un bit, nel caso di una memoria bilivello, o un gruppo di bit, nel caso di una memoria multilivello)
10 DATA[1],..., DATA[k] della maschera di scrittura DATA. Le uscite di tutte le porte OR 213-1,..., 213-k sono poste in OR logico in una porta logica OR 215 per generare un segnale di controllo PL-OFF che è fornito al circuito di controllo della memoria 119. Il segnale PL-OFF è usato
15 dal circuito di controllo della memoria 119 per determinare lo stato corrente dei rami di circuito di carico di programmazione. Interruttori 217-1,..., 217-k, controllati dal circuito di controllo della memoria 119, permettono di bypassare le porte OR 213-1,..., 213-k, per
20 cui le uscite dei flip-flop 211-1,..., 211-k sono connesse direttamente alla porta OR 215 e lo stato del segnale di controllo PL-OFF non è influenzato dalla maschera di scrittura DATA.

FIG. 3 mostra la configurazione circuitale nel caso
25 di un'operazione di lettura (sia una lettura standard che

Ing. Marco MACCALLI
N. Iscriz. 826
(in proprio e per gli altri)

un lettura di verifica della programmazione). Le linee di bit BL1 - BLk del pacchetto selezionato sono elettricamente collegate al circuito amplificatore di lettura 113, mentre le linee di bit dei pacchetti non
5 selezionati sono lasciate flottanti o, alternativamente, tenute a terra. Il circuito amplificatore di lettura 113 rileva la corrente assorbita dalle celle di memoria di una pagina di memoria selezionata, e determina i dati immagazzinati nelle celle di memoria confrontando le
10 correnti rilevate con una o più correnti di riferimento, fornite dalle celle di memoria di riferimento RMC o da queste derivate. Per pagina di memoria si intende un gruppo di celle di memoria che appartengono ad una linea di parola selezionata e ad un pacchetto selezionato di
15 linee di bit, come le celle di memoria da MC1 a MCK in FIGG. 2 e 3.

Può essere apprezzato che le resistenze parassite R_{SL1}, \dots, R_{SLQ1} e R_{SL1} fanno sì che una tensione di source delle celle di memoria nel rispettivo settore di memoria
20 differisca da una tensione di riferimento GND presente, per esempio, su una piazzola di tensione di riferimento del circuito integrato, in funzione della corrente I che fluisce, ovverosia in funzione del numero di celle di memoria nel settore di memoria che risultano
25 simultaneamente conduttive: la corrente I determina



Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

infatti una caduta di tensione V_{drop} sulle resistenze parassite. Le resistenze parassite R_{SA1} e R_{SA2} influenzano le effettive tensioni di alimentazione del circuito amplificatore di lettura 113, e di nuovo lo scostamento
5 dalle tensioni di alimentazione VDD e GND dipende dal numero di celle di memoria nel settore di memoria che risultano simultaneamente conduttive.

FIG. 4A è un diagramma di flusso che mostra schematicamente in modo grandemente semplificato le fasi
10 di un'operazione di programmazione condotta secondo un metodo in accordo con una forma di realizzazione della presente invenzione.

All'inizio dell'operazione di programmazione, tutti i rami di circuito di carico di programmazione sono
15 abilitati (tutti gli interruttori 207 sono chiusi); a questo scopo, il circuito di controllo della memoria 119 asserisce il segnale di controllo SET-PL, con ciò ponendo tutti i flip-flop 211-1,..., 211-k nello stato impostato. Lo stato iniziale delle celle di memoria che appartengono
20 ad una pagina di memoria selezionata viene poi accertato (blocco 401). La pagina di memoria selezionata è acceduta in condizioni di verifica della programmazione, ed i dati letti dalle celle di memoria sono confrontati dal circuito comparatore 121 alla parola dati DATA da
25 scrivere. Se una o più celle di memoria della pagina di

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

memoria selezionata sono trovate essere già nella condizione di programmazione desiderata e non necessitano di essere programmate, i rami di circuito di carico di programmazione associati alle linee di bit che contengono tali celle sono disabilitati (l'interruttore 207 viene aperto); gli altri rami di circuito di carico di programmazione, associati a linee di bit che contengono celle di memoria che necessitano di essere programmate, sono invece lasciati abilitati (interruttore 207 chiuso) (blocco 403). Per disabilitare un dato ramo di circuito di carico di programmazione, il circuito comparatore 121 asserisce il rispettivo segnale di controllo fra i segnali di controllo RST-PL[1] - RST-PL[k], in funzione del risultato del confronto tra i dati letti e la maschera di scrittura DATA. Si osservi che una volta che un ramo di circuito di carico di programmazione è stato disabilitato, esso non può essere ri-abilitato durante una stessa operazione di programmazione. In altre parole, il segnale di controllo SET-PL è asserito solamente una volta, all'inizio dell'operazione di programmazione.

Un primo impulso di programmazione, o un numero prescritto di impulsi di programmazione, è poi applicato alle celle di memoria della pagina di memoria; solamente le celle di memoria i cui rami di circuito di carico di programmazione sono abilitati sono sottoposte all'impulso

Ing. Marco MACCALLI**N. Iscriz. 826**

di programmazione (blocco 405).

(in proprio e per gli altri)

Dopo aver applicato l'impulso di programmazione, la pagina di memoria è acceduta di nuovo in condizioni di verifica della programmazione, ed i dati letti dalle
5 celle di memoria sono confrontati alla parola dati DATA (blocco 407).

Se alcune delle celle di memoria che erano inizialmente non programmate sono ora accertate essere programmate, i rispettivi rami di circuito di carico di
10 programmazione sono disabilitati (blocco 409) dal circuito comparatore 121.

Viene poi effettuato un controllo per stabilire se tutte le celle di memoria della pagina di memoria selezionata sono già programmate; a questo scopo (blocco
15 411) si accerta se tutti i rami di circuito di carico di programmazione sono disabilitati. Il circuito di controllo della memoria 119 controlla lo stato logico del segnale di controllo PL-OFF. In caso negativo, il flusso ritorna al blocco 405, e solamente a quelle celle di
20 memoria che non sono ancora programmate vengono applicati impulsi di programmazione supplementari; tutte le celle di memoria della pagina di memoria selezionata sono altrimenti accedute di nuovo, in condizioni di verifica della programmazione, e il loro stato di programmazione è
25 ancora una volta accertato (blocco 413). Se tutte le

celle di memoria superano questa fase di verifica della
programmazione finale, la routine di programmazione
termina. Se invece accade che una o più celle di memoria
non superano positivamente questa fase di verifica della
5 programmazione finale, il flusso ritorna all'inizio
(blocco 401): tutti i rami di circuito di carico di
programmazione sono ri-abilitati (il segnale di controllo
SET-PL è asserito dal circuito di controllo della memoria
119), e l'intera routine viene ripetuta.

10 La previsione della fase di verifica finale e, se
necessario, la ripetizione della routine di
programmazione, permette di superare i problemi discussi
nella parte introduttiva di questa descrizione. Si assuma
ad esempio che tutte le celle di memoria della pagina di
15 memoria selezionata siano inizialmente non programmate, e
che una parola dati DATA "tutti 0" debba essere scritta
nella pagina di memoria selezionata. Si assuma anche che
dopo il primo impulso di programmazione (blocco 405) la
cella di memoria MC1 sia verificata essere programmata,
20 mentre le rimanenti celle di memoria da MC2 a MCK si
rivelano esser non ancora programmate. Durante la fase di
verifica della programmazione che segue l'applicazione
del primo impulso di programmazione, tutte le celle di
memoria MC2 - MCK conducono rispettive correnti; una
25 corrente I (FIG. 3) che fluisce attraverso la resistenza



Ing. Marco MACCALLI
N. Iscriz. 826
(in proprio e per gli altri)

parassita complessiva R associata al source della cella di memoria $MC1$ è quindi la somma di tutte le correnti individuali condotte dalle celle di memoria $MC2 - MCK$; la corrente I induce così una caduta di tensione V_{drop} relativamente elevata sulla resistenza parassita R , che riduce la tensione di pilotaggio gate-source della cella di memoria $MC1$ e quindi la corrente ($I_{MC1"0"}$ in FIG. 4B) assorbita da questa cella di memoria. In altre parole, la cella di memoria $MC1$ è verificata essere programmata in una condizione caratterizzata da una tensione di pilotaggio di gate-source relativamente bassa. Successivamente, dopo un numero prescritto di impulsi di programmazione supplementari, tutte le celle di memoria $MC2 - MCK$ sono alla infine programmate. Se la cella di memoria $MC1$ non venisse verificata di nuovo, quando la pagina di memoria è acceduta in lettura standard le condizioni in cui la cella di memoria $MC1$ viene letta differiscono da quelle in cui essa è stata precedentemente verificata come programmata: infatti, le celle di memoria $MC2 - MCK$ non conducono corrente, o conducono solamente una corrente piccola rispetto alla corrente che esse conducevano quando non erano programmate, e la corrente I che fluisce attraverso la resistenza parassita R è all'incirca nulla, o molto bassa. Il potenziale di source della cella di memoria $MC1$

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

è quindi diverso, ed in particolare minore, rispetto a quello sperimentato da questa cella durante la fase di verifica della programmazione; la cella di memoria MC1 sperimenta dunque una tensione di pilotaggio gate-source maggiore, che fa sì che la cella di memoria MC1 conduca un corrente maggiore di quella condotta durante la fase di verifica della programmazione: il margine di programmazione della cella di memoria MC1 è pertanto minore di quello atteso, o, ancor peggio, la maggior tensione di pilotaggio gate-source può far sì che la cella di memoria MC1 conduca una corrente tanto elevata che, quando acceduta in lettura standard, la cella di memoria viene letta come non programmata: in questo caso, la prova di verifica della programmazione fallisce completamente (FIG. 4B). Lo stesso può chiaramente accadere alle altre celle della pagina di memoria.

La previsione della fase di verifica della programmazione finale permette invece di accertare lo stato di programmazione di tutte le celle di memoria della pagina di memoria in una condizione che è molto simile, per non dire coincidente, alle condizioni di lettura standard. Si garantisce così che tutte le celle siano programmate col margine desiderato. In particolare, la corrente I_{MC1} assorbita dalla cella di memoria MC1 durante la prova di verifica della programmazione finale

Ing. Marco MACCALLI**N. Iscriz. 826****(in proprio e per gli altri)**

è la stessa assorbita durante un lettura standard (e lo stesso vale per le altre celle della pagina).

FIG. 5 è un diagramma di flusso più particolareggiato che illustra le fasi principali di un'operazione di programmazione condotta secondo un metodo in accordo con una forma di realizzazione della presente invenzione, particolarmente adatta ad una memoria multilivello, per esempio una memoria a quattro livelli. Il flusso operativo sarà in seguito descritto in combinazione con FIG. 6, che mostra schematicamente una disposizione di correnti di riferimento adottata per leggere le celle di memoria in condizioni di lettura standard e di lettura di verifica della programmazione; queste correnti di riferimento sono per esempio generate dalle celle di memoria di riferimento RMC, programmate in stati diversi predeterminati. In particolare, un asse orizzontale I_c rappresenta valori di correnti di cella di memoria. I_{r1} , I_{r2} e I_{r3} e I_{pv1} , I_{pv2} e I_{pv3} rappresentano valori di corrente di riferimento usati per discriminare i quattro possibili stati di programmazione delle celle di memoria in condizioni di lettura standard ed in condizioni di lettura di verifica della programmazione, rispettivamente; I_{ev} rappresenta un valore di corrente di riferimento usato in condizioni di lettura di verifica della cancellazione per garantire che le celle di memoria

Ing. Marco MACCALLI
N. Iscriz. 826
(in proprio e per gli altri)

siano cancellate. Ic1, Ic2 Ic3 e Ic4 rappresentano possibili valori di corrente assorbita da celle di memoria in ciascuno dei quattro possibili stati di programmazione; in particolare, Ic1, Ic2 Ic3 e Ic4 sono
5 assunti essere i valori medi di distribuzioni statistiche di correnti di celle di memoria nei diversi stati di programmazione ("11", "10", "01" e "00").

Riferendosi a FIG. 5, tutti i rami di circuito di carico di programmazione sono inizialmente abilitati
10 (blocco 501), asserendo il segnale di controllo SET-PL.

Poi (blocco 503) le celle di memoria della pagina di memoria selezionata sono accedute in condizioni di lettura di verifica della programmazione, per accertare il loro stato di programmazione, ed i dati recuperati
15 sono confrontati dal circuito comparatore 121 alla parola dati DATA da scrivere nelle celle di memoria selezionate. In particolare, riferendosi a FIG. 6, in una forma di realizzazione della presente invenzione, in questa fase si verificano soltanto le celle di memoria destinate ad
20 immagazzinare un "10" e un "01". La tensione di gate Vg è posta uguale alla tensione di lettura standard (Vgr1 in FIG. 7, ad esempio circa 5V); il circuito amplificatore di lettura 113 è controllato in modo da confrontare la
25 riferimento di verifica della programmazione Ipv1, Ipv2 e



Ing. Marco MACCALLEI

N. Iscriz. 826

(in proprio e per gli altri)

Ipv3 (invece delle correnti di riferimento per la lettura standard Ir1, Ir2 e Ir3). Le celle di memoria sono dichiarate essere già nello stato di programmazione desiderato se esse sono destinate ad immagazzinare un "11", o se esse sono destinate ad immagazzinare un "01" e $I_c < I_{pv2}$, oppure se esse sono destinate ad immagazzinare un "10" e $I_c < I_{pv1}$.

Asserendo selettivamente i segnali di controllo RST-PL, il circuito comparatore 121 selettivamente mantiene abilitati oppure disabilita i rami di circuito di carico di programmazione associati a quelle celle di memoria della pagina di memoria selezionata che sono destinate ad immagazzinare un "11", un "10" o uno "01", in funzione del fatto che la rispettiva cella di memoria deve essere programmata o, rispettivamente, è dichiarata essere già nello stato di programmazione desiderato. I rami di circuito di carico di programmazione associati alle celle di memoria destinate ad immagazzinare uno "00" sono invece mantenuti abilitati. In questo modo, solamente a quelle celle di memoria che non sono dichiarate essere già nello stato desiderato saranno applicati impulsi di programmazione.

Vengono poi approntate le tensioni di programmazione (blocco 505); in particolare, la tensione di gate V_g è posta uguale ad una tensione iniziale (V_{gin} in FIG. 7),

Ing. Marco MACCALLI**N. Iscriz. 826**

ad esempio circa pari a 1,5 V.

~~(in proprio e per gli altri)~~

Si entra quindi in un primo anello 507, che prevede di applicare alle celle di memoria della pagina di memoria selezionata un certo numero di impulsi di
5 programmazione con tensioni di gate di programmazione V_g via via crescenti (blocco 507a), fino a che si raggiunge una tensione di gate di programmazione prescritta (V_{g1} in FIG. 7), per esempio circa 3V (blocco 507b). A ciascun
10 passo dell'anello la tensione di gate di programmazione è per esempio aumentata di circa 300 mV. Durante questo primo anello, lo stato di programmazione delle celle di memoria non viene verificato dopo ogni impulso di programmazione. A ciascun impulso di programmazione, la
15 tensione di soglia delle celle di memoria i cui rami di circuito di carico di programmazione sono abilitati aumenta di una quantità relativamente ben nota.

Al termine dell'anello 507, si entra in un secondo anello 509. A ciascuna ripetizione del secondo anello 509, le celle di memoria sono accedute di nuovo in
20 condizioni di lettura di verifica della programmazione (blocco 509a), e si accerta il rispettivo stato di programmazione, per determinare se alcune celle sono già state portate nello stato di programmazione desiderato. In particolare, come nella precedente fase di verifica
25 della programmazione (blocco 503), in questa fase si

Ing. Marco MACCALI**N. Isciz. 826****(in proprio e per gli altri)**

verificano solamente le celle di memoria destinate ad immagazzinare un "10" e uno "01". La tensione di gate V_g è posta uguale alla tensione di lettura standard (V_{gr1}), ed il circuito amplificatore di lettura 113 è controllato

5 in modo da confrontare la corrente della cella di memoria colle correnti di riferimento di verifica della programmazione I_{pv1} , I_{pv2} e I_{pv3} . Le celle di memoria sono dichiarate essere state portate nello stato di programmazione desiderato se esse sono destinate ad

10 immagazzinare uno "01" e $I_c < I_{pv2}$, o se esse sono destinate ad immagazzinare un "10" e $I_c < I_{pv1}$. I rami di circuito di carico di programmazione sono di conseguenza tenuti abilitati oppure sono disabilitati. I rami di circuito di carico di programmazione associati alle celle

15 di memoria destinate ad immagazzinare uno "00" sono tenuti invece abilitati. Si accerta quindi se tutti i rami di circuito di carico di programmazione associati alle celle destinate ad immagazzinare un "10" o uno "01" sono già disabilitati (blocco 509b); a questo scopo, il

20 circuito di controllo della memoria 119 tiene gli interruttori 217-1,..., 217-k commutati sull'uscita dell'associata porta OR 213-1,..., 213-k, e legge il segnale di controllo PL-OFF; si osservi che, in queste condizioni, grazie alla previsione delle porte OR 213-

25 1,..., 213-k, lo stato del segnale di controllo PL-OFF non

N. Iscriz. 826

(in proprio e per gli altri)

è influenzato dallo stato dei flip-flop 211-1,..., 211-k associati alle celle di memoria destinate ad immagazzinare uno "00." In caso negativo (il segnale di controllo PL-OFF è deassertito, a significare che alcuni dei rami di circuito di carico di programmazione associati alle celle di memoria destinate ad immagazzinare un "10" o uno "01" sono ancora abilitati), la tensione di gate di programmazione è aumentata (o, se si è già raggiunta una tensione di gate di programmazione massima Vgmax, essa è mantenuta a Vgmax) e un altro impulso di programmazione è ancora selettivamente applicato alle celle di memoria non programmate (blocco 509c). Preferibilmente, prima di applicare un altro impulso di programmazione, si controlla se, nelle ripetizioni dell'anello 509, si è raggiunto un numero massimo consentito di impulsi di programmazione (blocco 509d); se il numero massimo di impulsi di programmazione è stato raggiunto, si esce dall'anello 509, viene dichiarata una condizione di errore (blocco 511) e si interrompe la routine di programmazione.

Quando tutti i rami di circuito di carico di programmazione associati alle celle destinate ad immagazzinare un "10" o uno "01" sono rilevati essere disabilitati (situazione rilevata dal circuito di controllo della memoria 119 sulla base dello stato del



Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

segnale di controllo PL-OFF), si entra in un terzo anello 513. In questo terzo anello 513, a ciascuna ripetizione si accede in condizioni di verifica della programmazione alle celle di memoria destinate ad immagazzinare uno "00". La tensione di gate V_g è posta uguale ad un valore più elevato della tensione di lettura standard (V_{gr2} in FIG. 7, ad esempio 6V), ed il circuito amplificatore di lettura 113 confronta la corrente I_c assorbita dalle celle di memoria destinate ad immagazzinare uno "00" con le correnti di riferimento I_{pv1} , I_{pv2} e I_{pv3} . Se, per una qualunque data cella sotto verifica destinata ad immagazzinare uno "00", risulta essere $I_c < I_{pv3}$, il rispettivo ramo di circuito di carico di programmazione è disabilitato (blocco 513a).

Si accerta poi se tutti i rami di circuito di carico di programmazione risultano essere disabilitati (blocco 513b); per questa operazione, gli interruttori 217-1,..., 217-k sono commutati sulle uscite degli associati flip-flop 211-1,..., 211-k. In caso negativo, (alcuni rami di circuito di carico di programmazione sono ancora abilitati), la tensione di gate di programmazione è aumentata (o, se si è raggiunta una tensione di gate di programmazione massima V_{gmax} , essa è mantenuta a V_{gmax}) ed un altro impulso di programmazione è ancora selettivamente applicato alle celle di memoria non

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

programmate (blocco 513c). Come sopra, prima di applicare un altro impulso di programmazione, preferibilmente si controlla se, nella ripetizione dell'anello 513, si è raggiunto un numero massimo consentito di impulsi di
5 programmazione (blocco 513d): se il numero massimo di impulsi di programmazione è stato raggiunto, si esce dall'anello 513, si dichiara una condizione di errore (blocco 511) e si interrompe la routine di programmazione.

10 Quando tutti i rami di circuito di carico di programmazione sono infine trovati essere disabilitati, si effettua una verifica della programmazione finale 515 delle celle di memoria. In particolare, si verificano dapprima le celle di memoria destinate ad immagazzinare
15 uno "00" (blocco 515a); in questo modo, la tensione di gate di lettura V_g non deve essere cambiata (essa è mantenuta a V_{gr2}). Se si trova che alcune di queste celle di memoria assorbono una corrente maggiore di I_{pv3} , il flusso ritorna all'inizio (connettore A). Se tutte le
20 celle di memoria destinate ad immagazzinare uno "00" sono trovate essere programmate correttamente, si verificano le celle di memoria destinate ad immagazzinare un "01" e uno "10": la tensione di gate di lettura V_g è posta uguale alla tensione di lettura standard (V_{gr1}), ed il
25 circuito amplificatore di lettura 113 confronta le

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

correnti assorbite dalle celle con le correnti di riferimento Ipv2, Ipv1 e Ipv3. Se non si riscontra che la corrente assorbita dalle celle destinate ad immagazzinare uno "01" è minore della corrente di riferimento Ipv2, e
5 che la corrente assorbita dalle celle destinate ad immagazzinare un "10" è minore della corrente di riferimento Ipv1, il flusso ritorna all'inizio (connettore A). Se invece tutte le celle di memoria sono ri-accertate essere programmate correttamente, la routine
10 di programmazione termina.

Anche in questo caso, i benefici insiti nella previsione di una fase di verifica finale della programmazione sono prontamente apprezzabili.

Si sottolinea che non è strettamente necessario che
15 la prova di verifica della programmazione finale sia eseguita quando lo stato di programmazione di tutte le celle di memoria della pagina di memoria selezionata è stato accertato. Basta che la prova di verifica della programmazione finale sia eseguita dopo che è stato
20 accertato lo stato di programmazione di un numero prescritto di celle nella pagina, tale numero prescritto essendo sufficientemente elevato da assicurare che le condizioni in cui lo stato di programmazione delle celle viene verificato non sono significativamente diverse da
25 quelle in cui esse si troveranno in una lettura standard.

In una forma di realizzazione alternativa della presente invenzione, se nella prova di verifica della programmazione finale lo stato di programmazione di una o più celle non è ri-accertato, il flusso non ritorna
5 all'inizio della routine di programmazione, ma ad un punto intermedio, per esempio il punto A' o il punto A'' in FIG. 5, in funzione del fatto che, fra le celle di memoria che non hanno superato la prova di verifica della programmazione finale, vi siano celle di memoria
10 destinate ad essere programmate negli stati "10", "01" o "00". Per esempio, se le uniche celle che non hanno superato la prova di verifica finale sono quelle destinate ad essere programmate nello stato "00", è sufficiente ritornare al punto A''. In particolare, il
15 punto del flusso a cui ritornare è determinato sulla base della maschera di scrittura DATA. In questo modo, il tempo complessivamente richiesto per programmare le celle di memoria viene ridotto.

In ancora un'altra forma di realizzazione, quando il
20 flusso ritorna, ad esempio, al punto A' o al punto A'', la tensione di gate di programmazione Vg non è necessariamente riportata al valore standard di ingresso per l'anello 509 o 513, ma ad un valore eventualmente diverso; in particolare, tale diverso valore è un valore
25 di tensione di gate di programmazione correlato ad un



Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

valore di tensione di gate di programmazione rilevato durante l'esecuzione immediatamente precedente della routine di programmazione ed al quale una o più celle di memoria sono state per prime accertate come programmate

5 durante le fasi di verifica della programmazione dei blocchi 509a o 513a. FIG. 8 mostra schematicamente una disposizione circuitale atta ad implementare questa funzionalità. L'uscita Q di ciascun flip-flop 211-1,..., 211-k che controlla lo stato di apertura/chiusura di un

10 rispettivo interruttore 207 di un ramo di circuito di carico di programmazione è fornita ad un primo ingresso di una rispettiva porta AND 801-1,..., 801-k; un secondo ingresso di ciascuna porta AND 801-1,..., 801-k è alimentato dal segnale di controllo RST-PL[1],..., RST-

15 PL[k] che alimenta l'ingresso di azzeramento del rispettivo flip-flop 211-1,..., 211-k. Le uscite di tutte le porte AND 801-1,..., 801-k alimentano una porta OR 303. Quando un ramo di circuito di carico di programmazione, inizialmente abilitato (interruttore 207

20 chiuso) sarà disabilitato (interruttore 207 aperto), il segnale di controllo RST-PLi e l'uscita del flip-flop sono entrambi al livello logico "1" per un intervallo di tempo dato, prima che il contenuto del flip-flop venga aggiornato, così che l'uscita dell'associata porta AND

25 801-i è un "1" logico durante quell'intervallo di tempo;

Ing. Marco MACCALLI
N. Iscriz. 826
(in proprio e per gli altri)

a questo scopo, l'aggiornamento dei flip-flop può essere condizionato da un segnale di abilitazione, non mostrato, generato dal circuito di controllo della memoria 119, o dal circuito comparatore 121, ed opportunamente ritardato rispetto ai segnali di controllo RST-PL[1],..., RST-PL[k]. Una uscita della porta OR 303 è così asserita alta ogniqualevolta almeno un ramo di circuito di carico di programmazione deve essere commutato dallo stato abilitato allo stato disabilitato. Il segnale DSCT-PL generato dalla porta OR 303 può essere sfruttato dal circuito di controllo della memoria 119 per rilevare questa situazione, ed il circuito di controllo della memoria 119 può così memorizzare il valore corrente della tensione di gate di programmazione.

La presente invenzione può essere applicata in generale a qualsiasi tipo di memoria a semiconduttore programmabile elettricamente, sia essa una EPROM, una EEPROM o una memoria Flash.

Sebbene la presente invenzione sia stata descritta mediante alcune sue forme di realizzazione, è chiaro ai tecnici del ramo che molte modifiche alle forme di realizzazione descritte, così come altre forme di realizzazione della presente invenzione sono possibili, senza fuoriuscire dall'ambito di tutela definito nelle annesse rivendicazioni.* * * * *

Ing. Marco MACCALLI**N. Iscriz/826****(in proprio e per gli altri)**RIVENDICAZIONI

1. Un metodo di programmazione di una memoria programmabile elettricamente, comprendente:

5 accedere un gruppo di celle di memoria (MC1-MCk) della memoria per accertare un loro stato di programmazione (401,407;503,509a,513a);

applicare un impulso di programmazione a quelle celle di memoria nel gruppo il cui stato di
10 programmazione non è accertato corrispondere ad uno stato di programmazione desiderato (405;507a,509c,513c); e

ripetere detti atti di accedere ed applicare per le celle di memoria nel gruppo il cui stato di
15 programmazione non è accertato corrispondere allo stato di programmazione desiderato (411;509b,513b),

caratterizzato dal fatto di comprendere inoltre

dopo che lo stato di programmazione di un numero prescritto di celle di memoria nel gruppo è stato accertato corrispondere allo stato di programmazione
20 desiderato, accedere nuovamente le celle di memoria nel gruppo e ri-accertare lo stato di programmazione delle celle di memoria il cui stato di programmazione è stato precedentemente accertato corrispondere allo stato di programmazione desiderato (413,415;515); e

25 applicare almeno un impulso di programmazione

supplementare a quelle celle di memoria nel gruppo il cui stato di programmazione non è ri-accertato corrispondere allo stato di programmazione desiderato (405;507a,509c,513c).

5

2. Il metodo secondo la rivendicazione 1, comprendente inoltre, dopo detto atto di applicare almeno un impulso di programmazione supplementare, accedere nuovamente le celle di memoria nel gruppo per accertare lo stato di programmazione delle celle di memoria il cui stato di programmazione non è stato precedentemente ri-accertato corrispondere allo stato di programmazione desiderato (401,407;503,509a,513a).

15 3. Il metodo secondo la rivendicazione 1 o 2, in cui detto atto di ri-accertare è compiuto dopo che lo stato di programmazione di tutte le celle di memoria nel gruppo è stato accertato corrispondere allo stato di programmazione desiderato.

20

4. Il metodo secondo la rivendicazione 1, 2 o 3, in cui detto applicare un impulso di programmazione comprende il variare, sostanzialmente a ciascun impulso di programmazione, una tensione (Vg) applicata ad un elettrodo di controllo (WL1) delle celle di memoria del

25



Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

gruppo, passando progressivamente da una prima tensione (Vgin) ad una seconda tensione (Vgmax).

5. Il metodo secondo la rivendicazione 4, in cui
5 detto applicare almeno un impulso di programmazione
supplementare comprende ricominciare dalla tensione
applicata ad un elettrodo di controllo delle celle di
memoria pari alla prima tensione.

10 6. Il metodo secondo la rivendicazione 4, in cui
detto applicare almeno un impulso di programmazione
supplementare comprende ricominciare da una tensione
applicata ad un elettrodo di controllo delle celle di
memoria intermedia tra la prima tensione e la seconda
15 tensione.

7. Il metodo secondo la rivendicazione 6,
comprendente lo stabilire un valore di tensione di
programmazione per il quale lo stato di programmazione di
20 almeno una delle celle di memoria nel gruppo è stato per
primo accertato corrispondere allo stato di
programmazione desiderato, e determinare detta tensione
intermedia sulla base di detto valore di tensione di
programmazione stabilito.

25

N. Iscriz. 826
(in proprio e per gli altri)

8. Il metodo secondo una qualunque delle rivendicazioni da 4 a 7, in cui detto variare comprende aumentare progressivamente la tensione applicata all'elettrodo di controllo delle celle di memoria da un
5 valore più basso a un valore più alto.

9. Un circuito per programmare celle di memoria di una memoria programmabile elettricamente, comprendente:

un circuito (111) per applicare impulsi di
10 programmazione a gruppi (MC1-MCk) di celle di memoria;

un circuito (113,121) per accedere le celle di memoria nel gruppo ed accertare un loro stato di programmazione;

un circuito di controllo (119) per controllare il
15 circuito per applicare impulsi di programmazione, in modo che gli impulsi di programmazione sono ripetutamente applicati alle celle di memoria nel gruppo fino a che il loro stato di programmazione non è accertato corrispondere allo stato di programmazione desiderato;

20 caratterizzato dal fatto che

il circuito di controllo fa sì che il circuito per accedere ed accertare acceda le celle di memoria nel gruppo e ri-accerti lo stato di programmazione delle celle di memoria il cui stato di programmazione è stato
25 precedentemente accertato corrispondere allo stato di

programmazione desiderato dopo che lo stato di
programmazione di un numero prescritto di celle di
memoria nel gruppo è stato accertato corrispondere allo
stato di programmazione desiderato,

5 e dal fatto che

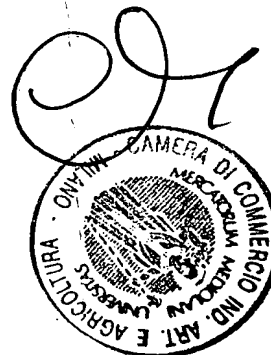
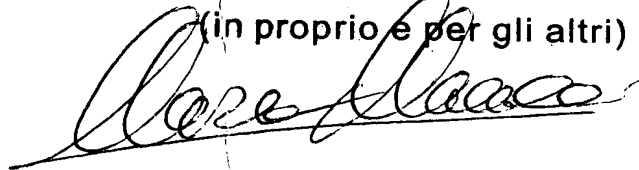
il circuito di controllo fa sì che il circuito per
applicare impulsi di programmazione applichi almeno un
impulso di programmazione supplementare a quelle celle di
memoria nel gruppo il cui stato di programmazione non è
10 ri-accertato corrispondere allo stato di programmazione
desiderato.

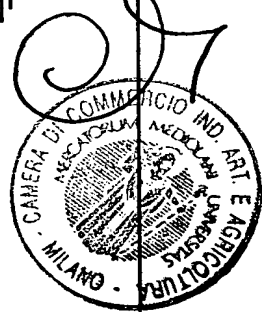
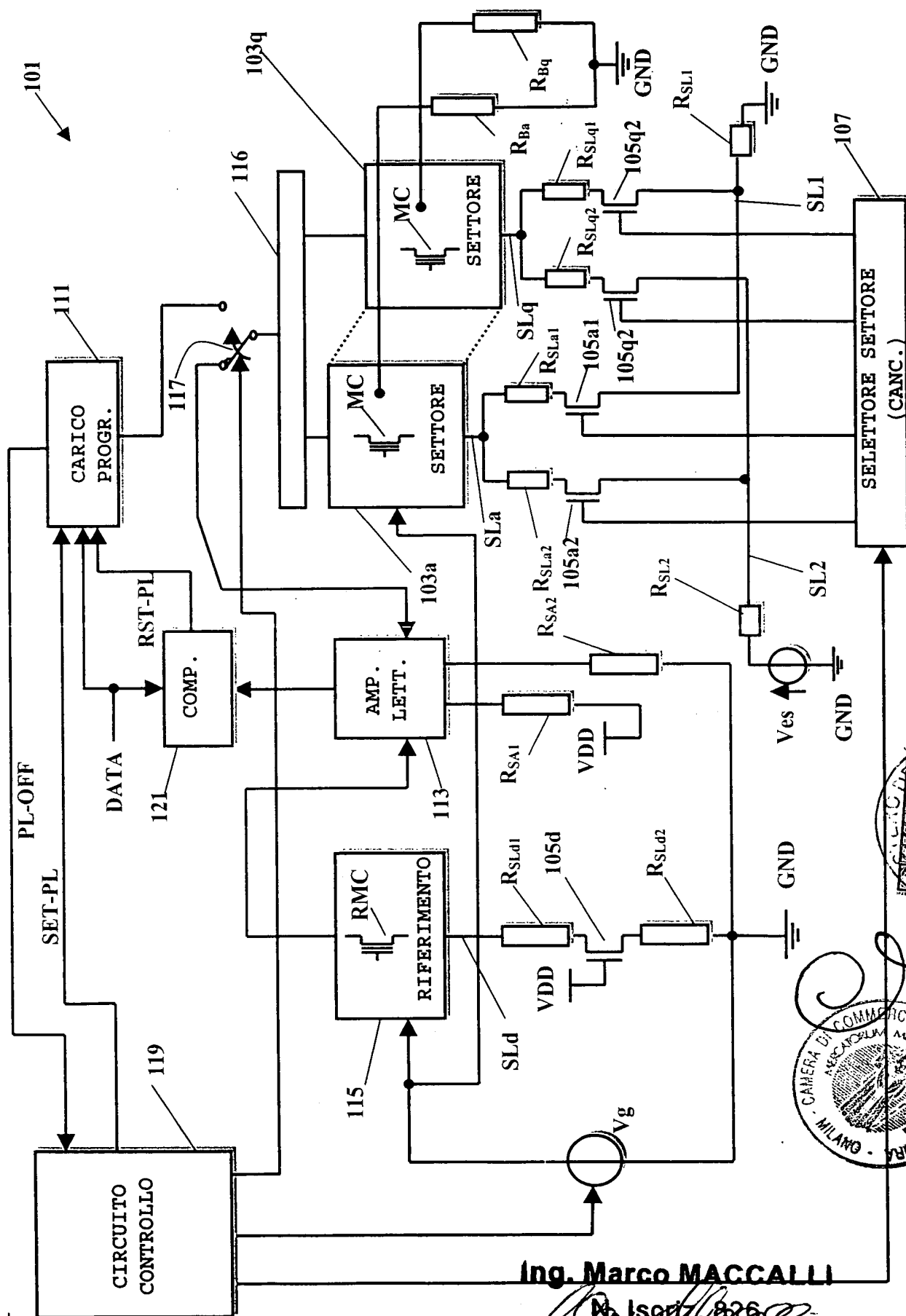
10. Una memoria programmabile elettricamente
comprendente il circuito secondo la rivendicazione 9.

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

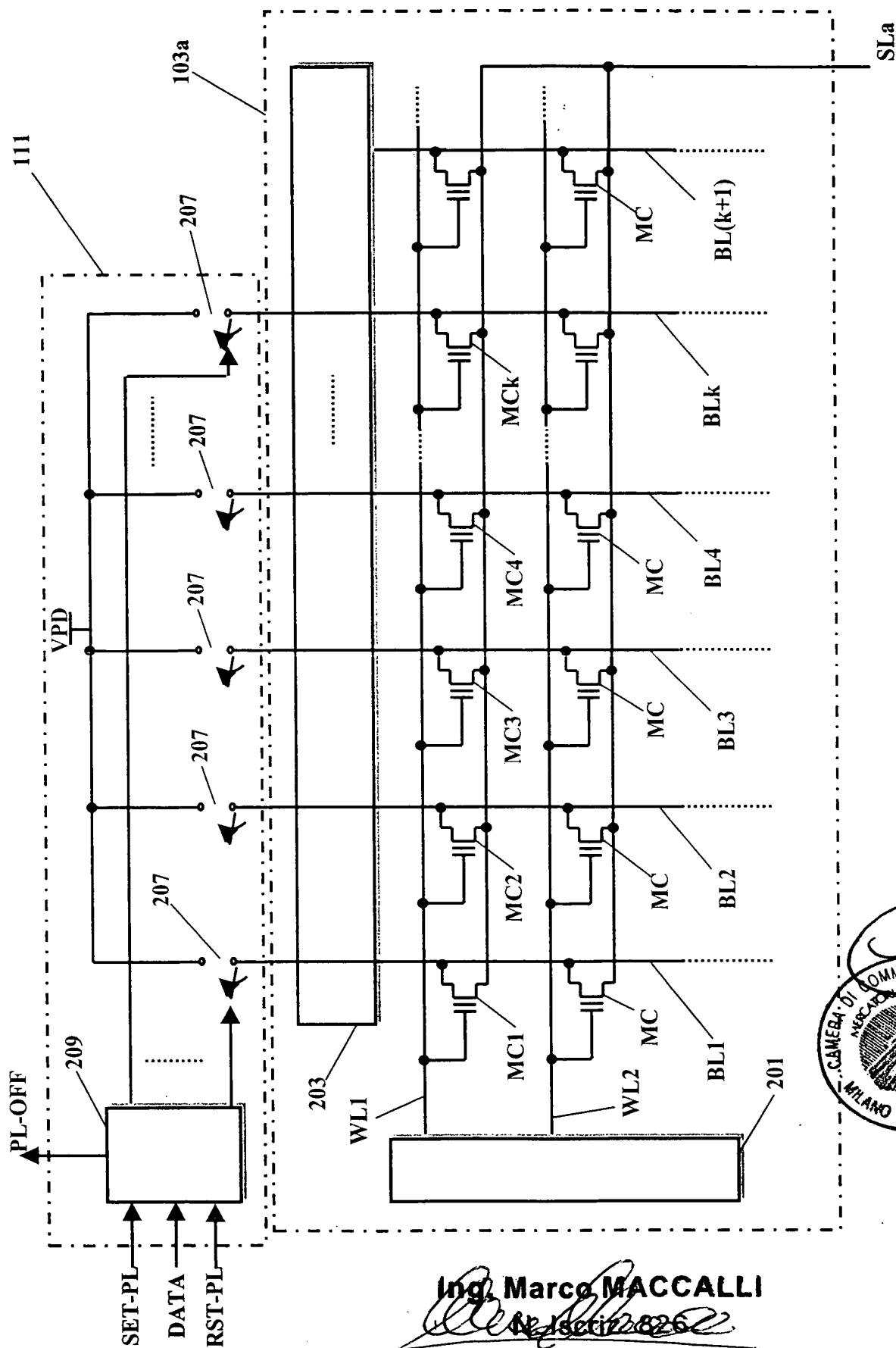




Ing. Marco MACCALLI

N. Isotz 826
(In proprio e per gli altri)

FIG. 1

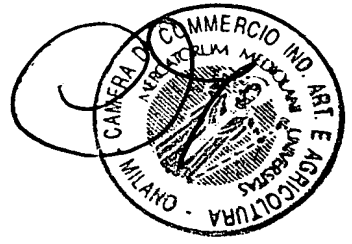
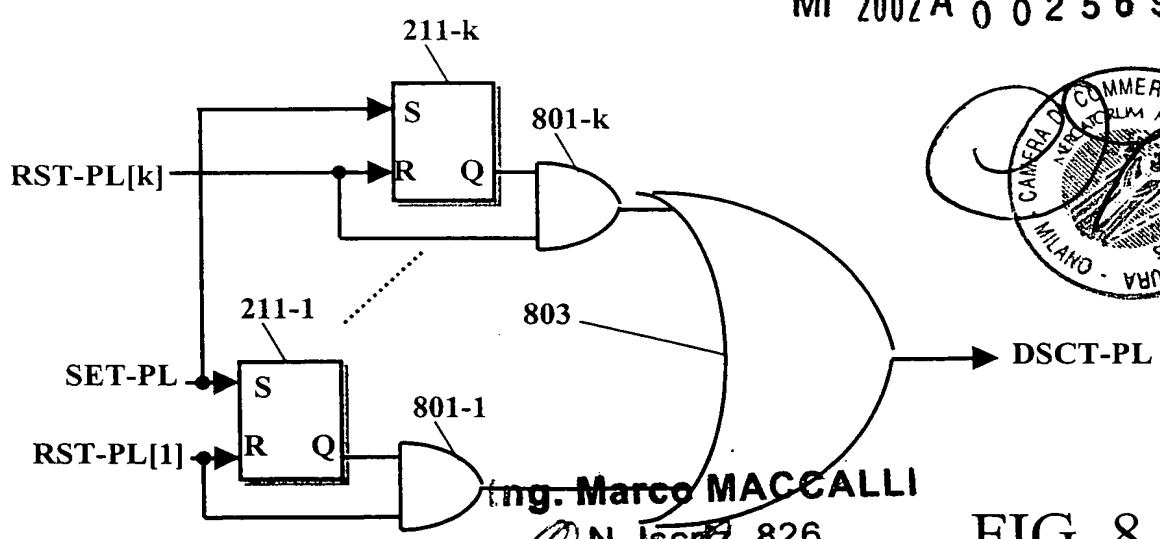
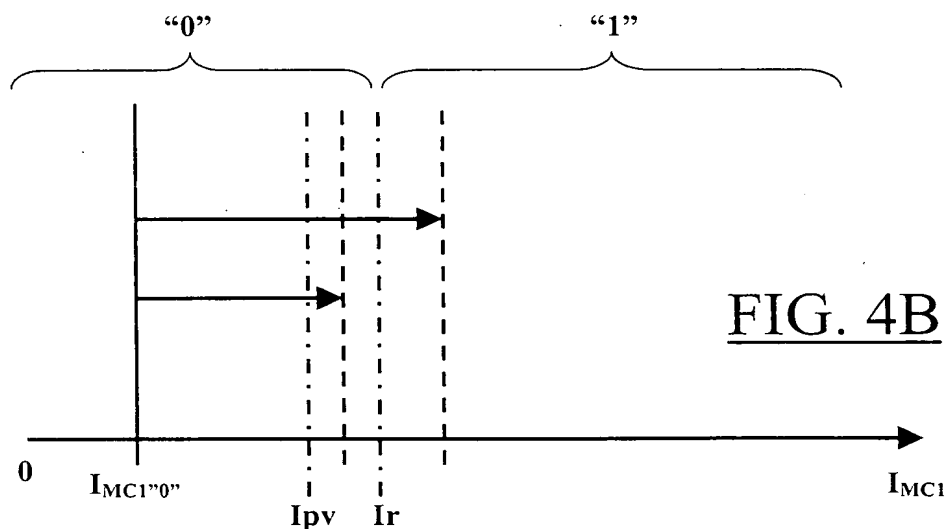
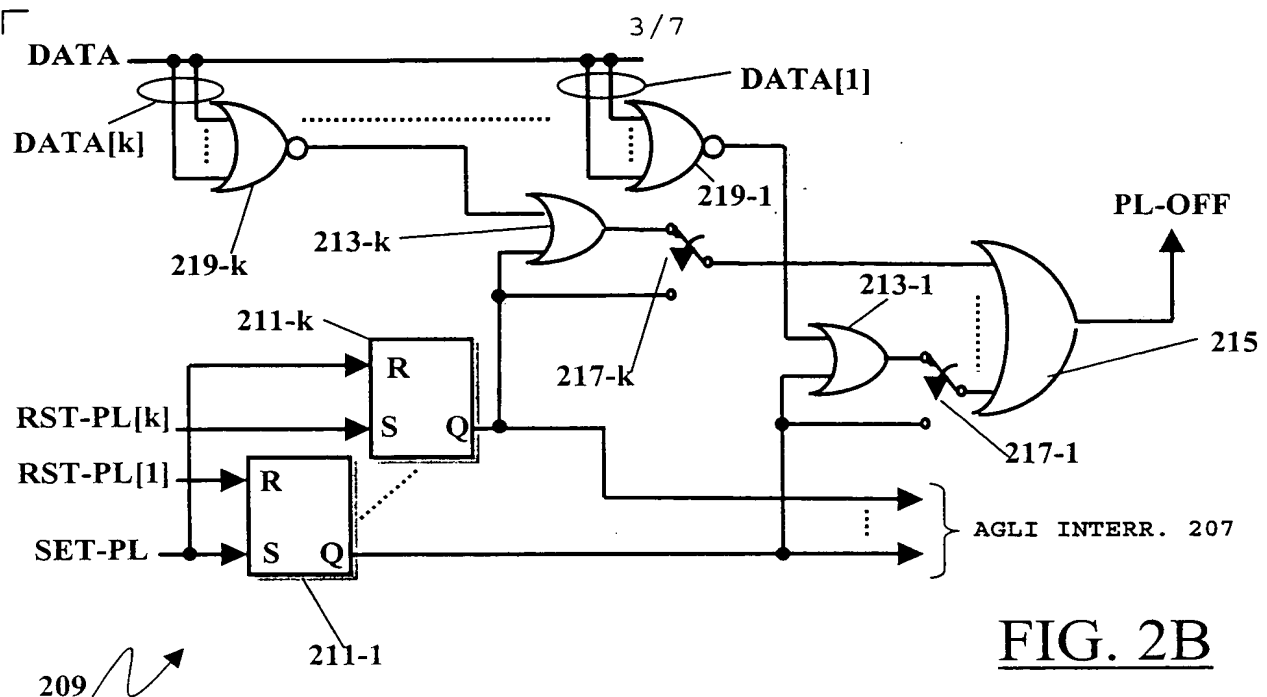


Ing. Marco MACCALLI

N. Iscritto 826

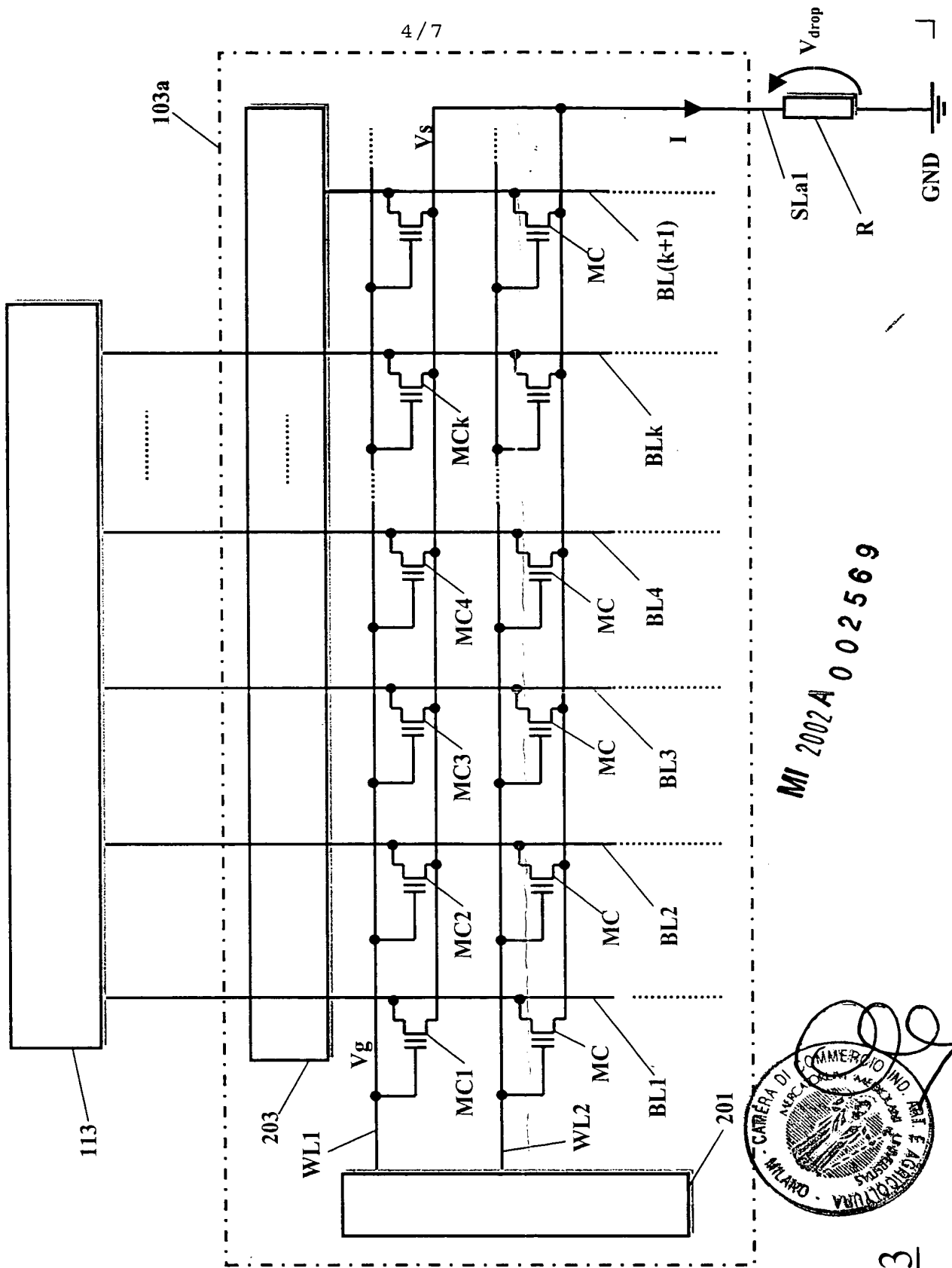
(in proprio e per gli altri)

FIG. 2A

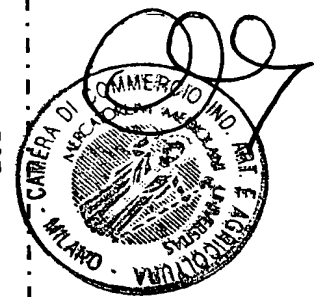


Ing. Marco MACCALLI
 N. Iscriz. 826
 (in proprio e per gli altri)

4/7



MI 2002A 002569



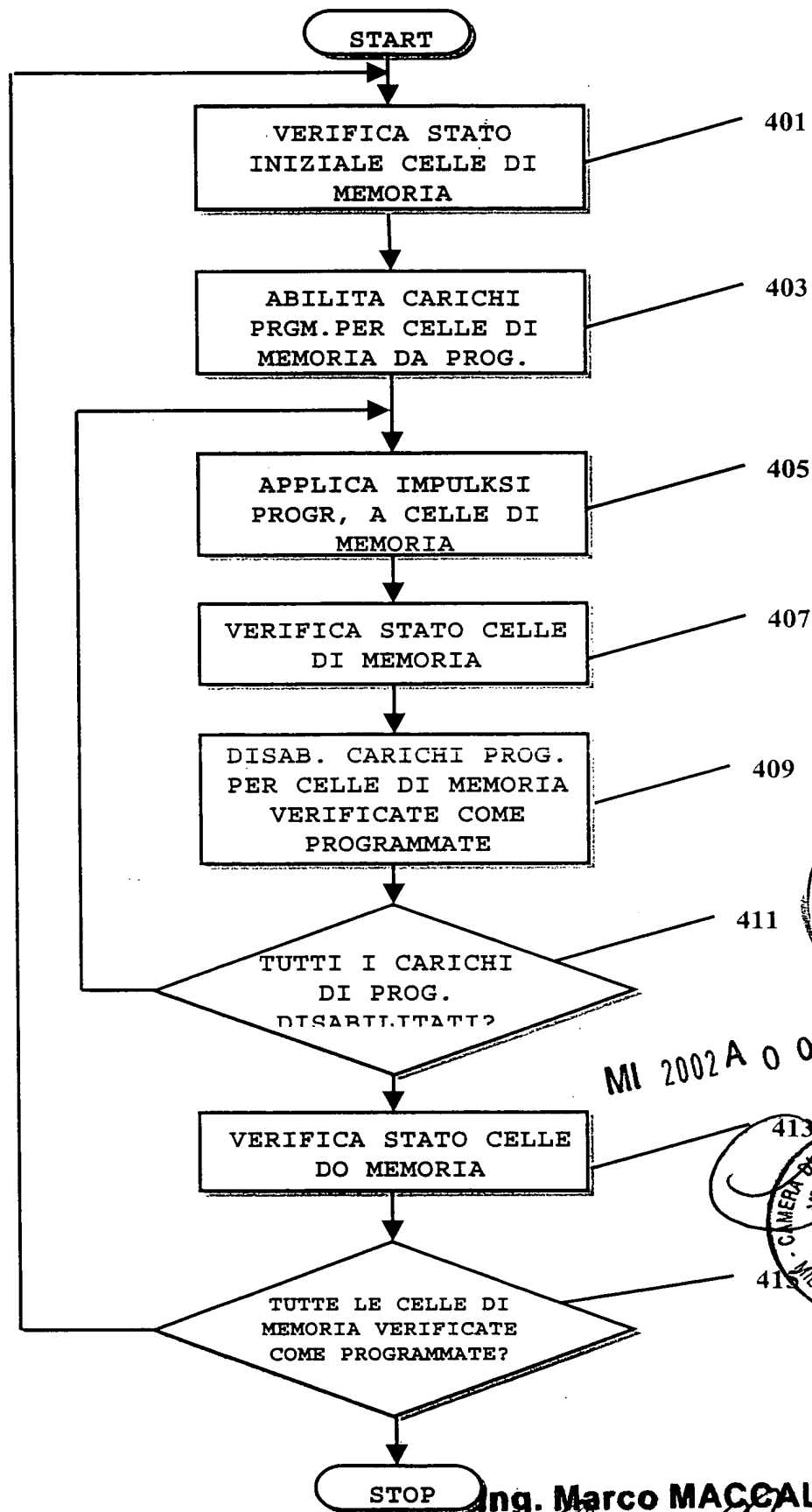
Ing. Marco MACCALLI

N. Iscriz. 826

(In propria e per gli altri)

FIG. 3

5/7



MI 2002A 002569

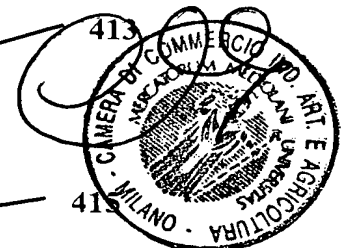


FIG. 4A

Ing. Marco MACCALLI
N. Iscriz. 826
(in proprio e per gli altri)

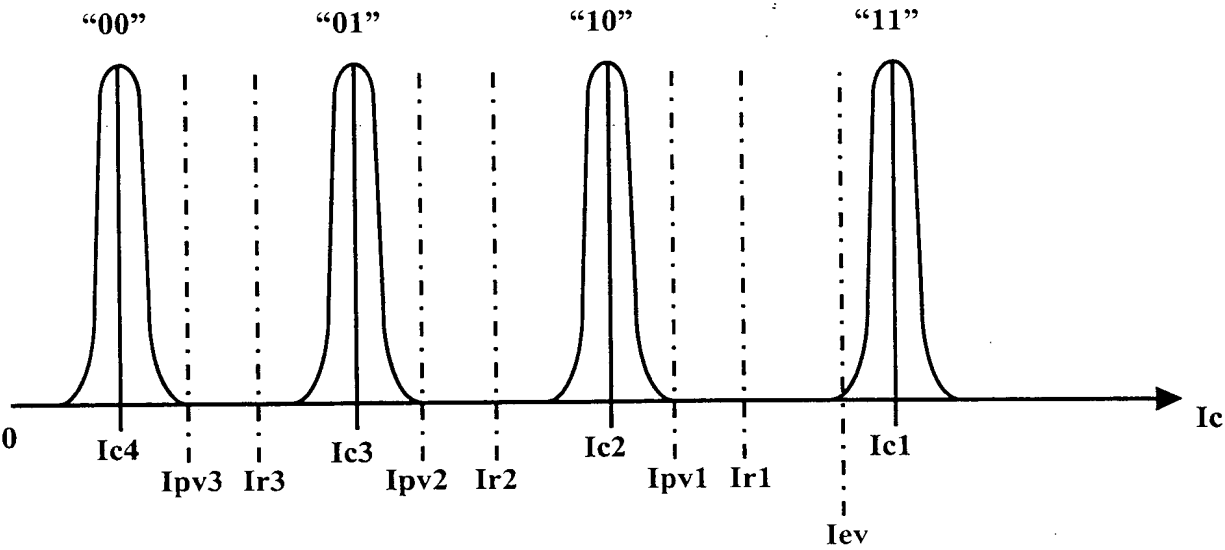


FIG. 6

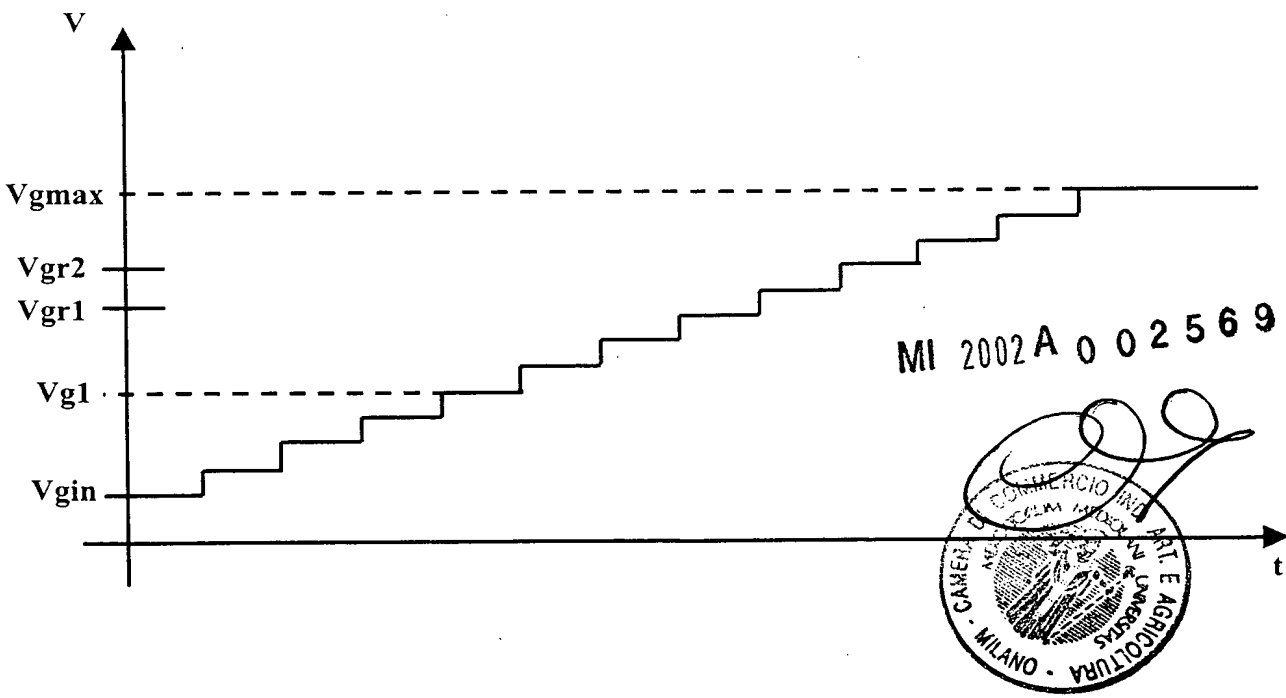
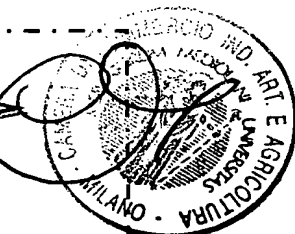


FIG. 7
Ing. Marco MACCALLI
N. Iscriz. 826
(in proprio e per gli altri)





Creation date: 05-19-2004
Indexing Officer: YSOLOMON - YONAS SOLOMON
Team: OIPEBackFileIndexing
Dossier: 10746875

Legal Date: 05-10-2004

No.	Doccode	Number of pages
1	PEFR	4
2	OATH	2

Total number of pages: 6

Remarks:

Order of re-scan issued on